

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

EUN-SEOK CHOL, ET AL.

Application No.:

Filed:

For: **FERROELECTRIC MEMORY DEVICE
WITH MERGED-TOP-PLATE
STRUCTURE AND METHOD FOR
FABRICATING THE SAME**

Art Group:

Examiner:

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

REQUEST FOR PRIORITY

Sir:

Applicant respectfully requests a convention priority for the above-captioned application, namely:

COUNTRY	APPLICATION NUMBER	DATE OF FILING
Republic of Korea	2002-86264	30 December 2002

☒ A certified copy of the document is being submitted herewith.

Respectfully submitted,

Blakely, Sokoloff, Taylor & Zafman LLP

Dated: 7/19/03

12400 Wilshire Blvd., 7th Floor
Los Angeles, California 90025
Telephone: (310) 207-3800


Eric S. Hyman, Reg. No. 30,139



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2002-0086264
Application Number

출원년월일 : 2002년 12월 30일
Date of Application
DEC 30, 2002

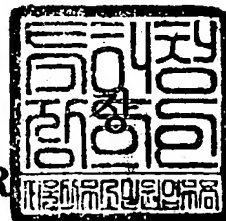
출원인 : 주식회사 하이닉스반도체
Applicant(s)
Hynix Semiconductor Inc.



2003 05 월 14 일
년 월 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【관리구분】	특허
【수신처】	특허청장
【참조번호】	0012
【제출일자】	2002. 12. 30
【발명의 명칭】	엠티피 구조의 강유전체 메모리 소자 및 그 제조 방법
【발명의 영문명칭】	Ferroelectric memory device with Merged-Top-Plate structure and method for fabricating the same
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【명칭】	특허법인 신성
【대리인코드】	9-2000-100004-8
【지정된변리사】	변리사 정지원, 변리사 원석희, 변리사 박해천
【포괄위임등록번호】	2000-049307-2
【발명자】	
【성명의 국문표기】	최은석
【성명의 영문표기】	CHOI, Eun Seok
【주민등록번호】	701010-103,1211
【우편번호】	463-070
【주소】	경기도 성남시 분당구 야탑동 334 장미마을 현대아파트 802-603
【국적】	KR
【발명자】	
【성명의 국문표기】	염승진
【성명의 영문표기】	YEOM, Seung Jin
【주민등록번호】	630909-1018621
【우편번호】	449-843
【주소】	경기도 용인시 동천동 859 동천마을 현대1차 홈타운 105-704
【국적】	KR
【심사청구】	청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
특허법인 신성 (인)

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 12 면 12,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 14 항 557,000 원

【합계】 598,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 접착층 증착 및 마스크/식각 공정이 수반됨에 따른 공정의 복잡함을 제거하고 하부전극과 층간절연막간 접착력을 강화시킬 수 있는 강유전체 메모리 소자 및 그 제조 방법을 제공하기 위한 것으로, 본 발명의 강유전체 메모리 소자는 트랜지스터가 형성된 반도체 기판, 상기 반도체 기판 상의 제1 층간절연막, 상기 제1 층간절연막을 관통하여 상기 트랜지스터의 소스/드레인영역과 연결되는 스토리지노드 콘택, 상기 스토리지노드 콘택과 상기 제1 층간절연막에 동시에 접하는 배리어막, 상기 제1 층간절연막과 격리되는 틈을 갖고 상기 배리어막 상에 형성된 하부전극, 상기 틈을 채우면서 상기 하부전극의 측면을 에워싸는 상기 제1 층간절연막상의 접착층, 상기 하부전극의 표면을 노출시키면서 상기 접착층을 에워싸는 제2 층간절연막, 상기 제2 층간절연막을 포함한 상기 접착층 상에 형성된 강유전체막, 및 상기 강유전체막 상의 상부전극을 포함한다.

【대표도】

도 2

【색인어】

강유전체 메모리 소자, 접착층, 배리어메탈, 틈, 용해, 인산, 접착력, MTP

【명세서】

【발명의 명칭】

엠티피 구조의 강유전체 메모리 소자 및 그 제조 방법{Ferroelectric memory device with Merged-Top-Plate structure and method for fabricating the same}

【도면의 간단한 설명】

도 1은 종래기술에 따른 MTP 구조의 FeRAM을 도시한 구조 단면도,

도 2는 본 발명의 제1 실시예에 따른 강유전체 메모리 소자의 구조 단면도,

도 3a 내지 도 3e는 본 발명의 제1 실시예에 따른 강유전체 메모리 소자의 제조 방법을 도시한 공정 단면도,

도 4는 본 발명의 제2 실시예에 따른 강유전체 메모리 소자의 구조 단면도,

도 5a 내지 도 5e는 본 발명의 제2 실시예에 따른 강유전체 메모리 소자의 제조 방법을 도시한 공정 단면도.

* 도면의 주요 부분에 대한 부호의 설명

21 : 반도체 기판

22 : 제1 층간절연막

23 : 텅스텐플러그

24a : 제1 배리어 메탈

24b : 제2 배리어 메탈

25 : 하부전극

27 : 접착층

28 : 제2 층간절연막

29 : 강유전체막

30 : 상부전극

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <12> 본 발명은 반도체 제조 기술에 관한 것으로, 특히 강유전체 메모리 소자(Ferroelectric Random Access Memory; FeRAM)의 제조 방법에 관한 것이다.
- <13> MTP(Merged Top Plate) 구조의 고집적 FeRAM 소자는 귀금속 전극과 스토리지노드콘택플러그(SNC plug) 사이에 접착층(glue layer)을 필요로 하며, 알루미나 등의 금속산화막을 사용하는 것이 일반적이다.
- <14> 따라서, 스토리지노드콘택플러그와 하부전극간의 연결을 위해서는 접착층 오픈 마스크 및 식각 공정을 필요로 하며, 식각은 층간절연막의 과도식각에 의한 하부전극의 배리어 특성 저하를 막기 위해 과도식각 정도가 작은 습식 식각을 적용하고 있다.
- <15> 도 1은 종래기술에 따른 MTP 구조의 FeRAM을 도시한 구조 단면도이다.
- <16> 도 1에 도시된 바와 같이, 트랜지스터 및 비트라인(도시 생략)이 형성된 반도체 기판(11) 상에 제1 층간절연막(12a)이 형성되고, 텅스텐플러그(13)와 배리어메탈(14)로 이루어진 스토리지노드콘택플러그가 제1 층간절연막(12a)을 관통하여 반도체 기판(11)과 연결된다.
- <17> 그리고, 스토리지노드콘택플러그에 연결되는 적층 하부전극(15)이 접착층(16)을 사이에 두고 제1 층간절연막(12a)상에 형성되고 있고, 적층 하부전극(15)은 제2 층간절연막(12b)에 의해 에워싸여 있다. 여기서, 접착층(16)은 적층 하부전극(15)이 스토리지노

드콘택플러그와 전기적 통로를 형성하도록 스토리지노드콘택플러그 상부를 오픈시키고 있으며, 제2 층간절연막(12b)은 적층 하부전극(15)의 표면과 실질적으로 평탄하다.

<18> 그리고, 제2 층간절연막(12b) 및 적층 하부전극(15) 상부를 강유전체막(17)이 덮고 있고, 상부전극(18)이 강유전체막(17)상에서 하나의 캐패시터를 이루도록 적층 하부전극(15)에 대향하여 형성되고, 상부전극(18)을 포함한 강유전체막(17) 상부를 제3 층간절연막(12c)이 덮고 있다. 그리고, 제3 층간절연막(12c)을 식각하여 제공하는 콘택홀을 통해 금속배선(19)과 상부전극(18)이 연결되고 있다.

<19> 그러나, 도 1의 MTP 구조의 FeRAM은 스토리지노드콘택플러그 위의 접착층(16)을 제거하는 마스크 및 식각 공정을 거쳐야 하고, 접착층 오픈 마스크 공정의 정렬마진(align margin) 및 습식식각에 수반되는 측면 식각(lateral etch)에 의해 셀크기의 감소가 제한되기 때문에 고집적화에 한계를 드러내고 있다. 또한 적층 하부전극의 최하부층으로 이용되는 하부전극 배리어층(통상 이리듐막)이 제1 층간절연막(12a)과 직접 접촉되어 있는 층이 있기 때문에 접착력이 약하고 이를 통한 계면 확산(interface diffusion)이 가능하여 배리어메탈(14)이 산화될 가능성이 높아지는 문제가 있다.

【발명이 이루고자 하는 기술적 과제】

<20> 본 발명은 상기한 종래기술의 문제점을 해결하기 위해 안출한 것으로, 접착층 증착 및 마스크/식각 공정이 수반됨에 따른 공정의 복잡함을 제거하는데 적합한 강유전체 메모리 소자 및 그 제조 방법을 제공하는데 그 목적이 있다.

<21> 본 발명의 다른 목적은 하부전극과 층간절연막간 접착력을 강화시킬 수 있는 강유전체 메모리 소자 및 그 제조 방법을 제공하는데 있다.

<22> 본 발명의 또 다른 목적은 스토리지노드콘택플러그를 이루는 배리어메탈의 산화를 방지하는데 적합한 강유전체 메모리 소자 및 그 제조 방법을 제공하는데 있다.

【발명의 구성 및 작용】

<23> 상기 목적을 달성하기 위한 본 발명의 강유전체 메모리 소자는 트랜지스터가 형성된 반도체 기판, 상기 반도체 기판 상의 제1 층간절연막, 상기 제1 층간절연막을 관통하여 상기 트랜지스터의 소스/드레인영역과 연결되는 스토리지노드 콘택, 상기 스토리지노드 콘택과 상기 제1 층간절연막에 동시에 접하는 배리어막, 상기 제1 층간절연막과 격리되는 틈을 갖고 상기 배리어막 상에 형성된 하부전극, 상기 틈을 채우면서 상기 하부전극의 측면을 에워싸는 상기 제1 층간절연막상의 접착층, 상기 하부전극의 표면을 노출시키면서 상기 접착층을 에워싸는 제2 층간절연막, 상기 제2 층간절연막을 포함한 상기 접착층 상에 형성된 강유전체막, 및 상기 강유전체막 상의 상부전극을 포함하는 것을 특징으로 한다.

<24> 그리고, 본 발명의 강유전체 메모리 소자의 제조 방법은 적어도 제1 층간절연막이 형성된 반도체 기판의 상기 제1 층간절연막을 관통하여 상기 반도체 기판과 연결되는 스토리지노드콘택을 형성하는 단계, 상기 제1 층간절연막상에 상기 스토리지노드콘택과 연결되는 배리어막과 하부전극의 적층 패턴을 형성하는 단계, 상기 배리어막의 측면을 선택적으로 제거하여 상기 하부전극과 상기 제1 층간절연막 사이에 틈을 형성하는 단계,

상기 틈을 채우면서 상기 하부전극의 측면을 에워싸는 접착층과 상기 접착층을 에워싸면서 상기 하부전극의 표면을 노출시키는 제2 층간절연막을 동시에 형성하는 단계, 상기 하부전극을 포함한 상기 제2 층간절연막 상에 강유전체막을 형성하는 단계, 및 상기 강유전체막상에 상부전극을 형성하는 단계를 포함하는 것을 특징으로 한다.

<25> 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부 도면을 참조하여 설명하기로 한다.

<26> 도 2는 본 발명의 제1 실시예에 따른 강유전체 메모리 소자의 구조 단면도이다.

<27> 도 2에 도시된 바와 같이, 제1 실시예에 따른 강유전체 메모리 소자는, 트랜지스터가 형성된 반도체 기판(21), 반도체 기판(21) 상의 제1 층간절연막(22), 제1 층간절연막(22)을 관통하여 반도체 기판(21; 트랜지스터의 소스/드레인영역)과 연결되는 텅스텐플러그(23), 텅스텐플러그(23) 상에 형성되며 텅스텐플러그(23)와 제1 층간절연막(22)에 동시에 접하는 배리어 메탈(24a/24b), 제1 층간절연막(22)과 격리되는 틈을 갖고 배리어 메탈(24a/24b) 상에 형성된 하부전극(25), 하부전극(25)과 제1 층간절연막(22)간 틈을 채우면서 하부전극(25)의 측면을 에워싸는 제1 층간절연막(22) 상의 접착층(27), 하부전극(25)의 표면을 노출시키면서 접착층(27)을 에워싸는 제2 층간절연막(28), 제2 층간절연막(28)을 포함한 접착층(27) 상에 형성된 강유전체막(29), 강유전체막(29) 상의 상부전극(30)을 포함한다.

<28> 자세히 살펴보면, 텅스텐플러그(23)는 제1 층간절연막(22)의 표면과 단차를 갖고, 배리어 메탈(24a/24b)은 단차 부분에 매립되어 제1 층간절연막(22)의 표면과 실질적으로

평탄한 표면을 갖는 제1 배리어 메탈(24a)과 제1 배리어 메탈(24a) 상에 형성되어 제1 층간절연막(22)과 접하는 제2 배리어 메탈(24b)로 이루어진다.

<29> 그리고, 접착층(27)은 제1 층간절연막(22)과 하부전극(25)간 틈을 채우는 부분의 두께와 하부전극(25)을 에워싸는 부분의 두께와 제1 층간절연막(22) 상의 두께가 서로 동일한 일체형이다.

<30> 그리고, 하부전극(25), 접착층(27) 및 제2 층간절연막(22)은 각각 그 표면이 모두 실질적으로 평탄하고, 이와 같이 평탄한 구조물 상에 강유전체막(29)이 형성된다.

<31> 도 2에서, 제1,2 배리어 메탈(24a, 24b)은 TiN, TiAlN, TaN, TaAlN, TiSiN, TaSiN, RuTiN, RuTaN, CrTiN, CrTaN, IrTiN 및 IrTaN로 이루어진 그룹중에서 선택된 하나 또는 적어도 두가지 이상이 적층된 것을 이용한다.

<32> 그리고, 접착층(27)은 Al_2O_3 , ZrO_2 , HfO_2 , Bi_2O_3 , Ta_2O_5 및 TiO_2 로 이루어진 그룹 중에서 선택된 하나를 이용한다.

<33> 그리고, 하부전극(25)은 백금막(Pt), 이리듐막(Ir), 이리듐산화막(IrO_2), 루테튬막(Ru), 루테튬산화막(RuO_2), 레늄막(Re) 및 로듐막(Rh) 중에서 선택된 하나이거나 이들의 복합구조물을 이용한다. 예컨대, 복합구조물로는 이리듐막, 이리듐산화막 및 백금막의 순서로 적층된 적층막(Pt/ IrO_2 /Ir)일 수 있고, 최하부층인 이리듐막(Ir)은 하부전극 배리어층으로 작용한다.

<34> 그리고, 강유전체막(29)은 통상의 SBT, PZT 및 BLT 중에서 선택된 하나이거나 불순물이 첨가되거나 조성 변화된 SBT, PZT, SBTN 및 BLT 중에서 선택된 하나를 이용한다.

<35> 그리고, 상부전극(30)은 하부전극(25)과 동일한 물질을 선택하여 이용한다.

- <36> 한편, 텅스텐플러그(23)외에 폴리실리콘플러그도 가능하다.
- <37> 도 3a 내지 도 3e는 본 발명의 제1 실시예에 따른 강유전체 메모리 소자의 제조 방법을 도시한 공정 단면도이다.
- <38> 도 3a에 도시된 바와 같이, 트랜지스터 및 비트라인(도시 생략)이 형성된 반도체 기판(21) 상에 제1 층간절연막(22)을 증착한 후, 제1 층간절연막(22)을 식각하여 반도체 기판(21)의 일부를 노출시키는 스토리지노드콘택홀(도시 생략)을 형성한다.
- <39> 다음에, 스토리지노드콘택홀을 포함한 제1 층간절연막(22) 상에 텅스텐막을 증착한 후 리세스 에치백하여 스토리지노드콘택홀(22a) 내에 일부 매립되는 텅스텐플러그(23)를 형성한다.
- <40> 다음에, 텅스텐플러그(23)를 포함한 제1 층간절연막(22) 상에 제1 배리어메탈(24a)을 증착한 후, 화학적기계적연마(CMP)를 통해 스토리지노드콘택홀 내부에 제1 배리어메탈(24a)을 잔류시킨다. 즉, 제1 층간절연막(22) 상에 형성된 제1 배리어메탈(24a)을 제거하여 평탄화시킨다.
- <41> 다음으로, 제1 배리어메탈(24a)을 포함한 제1 층간절연막(22) 상에 제2 배리어메탈(24b)을 증착하고, 제2 배리어메탈(24b) 상에 하부전극(25)을 형성하기 위한 도전막을 형성한다.
- <42> 여기서, 제1 및 제2 배리어메탈(24a, 24b)은 TiN, TiAlN, TaN, TaAlN, TiSiN, TaSiN, RuTiN, RuTaN, CrTiN, CrTaN, IrTiN 및 IrTaN로 이루어진 그룹중에서 선택된 하나 또는 적어도 두가지 이상이 적층된 것을 이용한다. 그리고, 하부전극용 도전막은 화학기상증착법(CVD), 물리기상증착법(PVD), 원자층증착법(ALD) 및 플라즈마원자층증착법

(PEALD) 중에서 선택된 하나의 증착법을 이용하여 증착되며, 이러한 하부전극용 도전막으로는 백금막(Pt), 이리듐막(Ir), 이리듐산화막(IrO_2), 루테튬막(Ru), 루테튬산화막(RuO_2), 레늄막(Re) 및 로듐막(Rh) 중에서 선택된 하나이거나 이들의 복합구조물을 이용한다. 이때, 복합구조물로는 이리듐막, 이리듐산화막 및 백금막의 순서로 적층된 적층막($\text{Pt}/\text{IrO}_2/\text{Ir}$)일 수 있고, 최하부층인 이리듐막(Ir)은 하부전극 배리어층으로 작용한다.

<43> 다음에, 하부전극용 도전막 상에 하부전극 마스크(26)를 형성한 후, 하부전극 마스크(26)를 식각마스크로 하부전극용 도전막 및 제2 배리어메탈(24b)을 순차적으로 식각한다. 이러한 식각과정을 통해 하부전극(25)이 형성되고, 이 하부전극(25)과 텅스텐플러그(23) 사이에 제1,2 배리어메탈(24a, 24b)이 잔류하며, 제2 배리어메탈(24b)은 하부전극(25)과 제1 층간절연막(22) 사이에 위치한다.

<44> 도 3b에 도시된 바와 같이, 하부전극 마스크(26)를 제거한 후, 제2 배리어메탈(24b)만을 선택적으로 식각하는 용액을 이용하여 제2 배리어메탈(24b)을 습식식각한다. 이때, 제2 배리어메탈(24b)의 습식식각은 하부전극(25)의 모서리부터 셀 안쪽으로 측면 식각(lateral etch)이 되도록 하고, 식각 시간 및 용액농도 등을 조절하여 식각되는 거리를 조절한다. 예컨대, 제2 배리어메탈(24b)만을 선택적으로 습식식각을 통해 용해시킬 수 있는 용액으로는 황산, 질산 및 인산으로 이루어진 그룹중에서 선택된 하나 이상의 용액을 사용하거나, 이들 용액에 과산화수소수(H_2O_2) 또는 암모니아수(NH_4OH)가 포함된 용액을 사용한다. 그리고, 제2 배리어 메탈(24b)을 선택적으로 용해시킴에 있어서, 수평 방향의 식각 너비를 조절하기 위한 식각 용액의 농도를 조절한다.

- <45> 전술한 바와 같은 제2 배리어메탈(24b)의 습식식각후 하부전극(25)과 제1 층간절연막(22) 사이에는 틈('X')이 형성된다.
- <46> 한편, 틈('X')의 너비는 제2 배리어메탈(24b) 증착후에 에치백 또는 화학적기계적연마를 실시하여 제2 배리어메탈(24b)의 표면 두께를 미리 조절하므로써 가능하다.
- <47> 도 3c에 도시된 바와 같이, 하부전극(25)을 포함한 전면에 접착층(27)을 증착한다.
- <48> 이때, 접착층(27)의 증착은, 틈('X')을 충분히 메울수 있는 우수한 단차피복성(step coverage)을 갖는 증착법을 이용하는데, 예를 들면 원자층증착법(ALD), 플라즈마 원자층증착법(PEALD) 및 화학기상증착법(CVD)을 이용한다. 그리고, 접착층(27)으로는 Al_2O_3 , ZrO_2 , HfO_2 , Bi_2O_3 , Ta_2O_5 및 TiO_2 로 이루어진 그룹중에서 선택된 하나를 이용한다.
- <49> 전술한 바와 같이, 틈을 메울수 있도록 접착층(27)을 증착하면, 하부전극(25)과 제1 층간절연막(22)이 직접 접촉하는 부분이 없고, 종래와 같이 접착층 오픈에 의한 단차가 발생되지 않는다.
- <50> 도 3d에 도시된 바와 같이, 접착층(27)을 포함한 전면에 제2 층간절연막(28)을 증착한 후, 하부전극(25)의 표면이 드러날때까지 화학적기계적연마 또는 에치백하여 평탄화한다. 즉, 제2 층간절연막(28)과 접착층(27)을 한번에 화학적기계적연마하거나, 또는 제2 층간절연막(28)을 화학적기계적연마한 후 드러난 접착층(27)을 에치백하여 하부전극(25)의 표면을 노출시킨다.
- <51> 전술한 바와 같이, 화학적기계적연마 또는 에치백후 하부전극(25) 상의 접착층(27)도 제거되어 하부전극(25)의 표면이 노출되고, 평탄화후 접착층(27)과 제2 층간절연막

(28)은 하부전극(25)을 에워싸는 형태가 되어 이웃한 셀의 하부전극간을 서로 고립시킨다. 또한, 접착층(27)은 하부전극(25)과 제2 층간절연막(28)간 접착층 역할도 수행한다.

<52> 도 3e에 도시된 바와 같이, 표면이 노출된 하부전극(25)을 포함한 전면에 강유전체막(29)을 형성한 후, 셀의 전영역에만 잔류하도록 패터닝하고, 강유전체막(29)상에 상부전극(30)을 형성하기 위한 도전막을 증착한다. 여기서, 강유전체막(29)은 화학기상증착법(CVD), 원자층증착법(ALD), 금속유기증착법(MOD) 및 스펀코팅법(Spin coating) 중에서 선택된 하나의 증착법을 이용하여 증착하며, 통상의 SBT, PZT 및 BLT 중에서 선택된 하나이거나 불순물이 첨가되거나 조성 변화된 SBT, PZT, SBTN 및 BLT 중에서 선택된 하나를 이용한다.

<53> 강유전체막(29) 형성후, 공지의 기술로서 강유전체막(29)을 결정화시키기 위한 열처리를 진행하며, 하부전극(25)이 매립된 구조상에 강유전체막(29)을 형성하여 상부전극(30) 형성전에 평탄화를 이루므로써 후속 공정과 더불어 평탄한 구조를 용이하게 할 수 있다.

<54> 그리고, 상부전극(30)을 형성하기 위한 도전막은 하부전극(25)으로 적용된 물질을 선택하여 사용할 수 있다.

<55> 다음에, 상부전극(30)용 도전막을 패터닝하여 상부전극(30)을 형성하고, 상부전극(30)을 포함한 전면에 제3 층간절연막(31)을 증착 및 평탄화한다. 다음에, 제3 층간절연막(31)을 식각하여 상부전극(30)의 일부를 노출시키는 콘택홀을 형성하고, 콘택홀을 통해 상부전극(30)과 연결되는 금속배선(32)을 형성하여 MTP 구조의 강유전체 메모리 소자를 완성한다.

- <56> 도 4는 본 발명의 제2 실시예에 따른 강유전체 메모리 소자의 구조 단면도이다.
- <57> 도 4에 도시된 바와 같이, 제2 실시예에 따른 강유전체 메모리 소자는, 트랜지스터가 형성된 반도체 기판(41), 반도체 기판(41) 상의 제1 층간절연막(42), 제1 층간절연막(42)을 관통하여 반도체 기판(41; 트랜지스터의 소스/드레인영역)과 연결되는 텅스텐플러그(43), 텅스텐플러그(43) 상에 형성되며 텅스텐플러그(43)와 제1 층간절연막(42)에 동시에 접하는 배리어 메탈(44), 제1 층간절연막(42)과 격리되는 틈을 갖고 배리어 메탈(44) 상에 형성된 하부전극(45), 하부전극(45)과 제1 층간절연막(42)간 틈을 채우면서 하부전극(45)의 측면을 에워싸는 제1 층간절연막(42) 상의 접착층(47), 하부전극(45)의 표면을 노출시키면서 접착층(47)을 에워싸는 제2 층간절연막(48), 제2 층간절연막(48)을 포함한 접착층(47) 상에 형성된 강유전체막(49), 강유전체막(49) 상의 상부전극(50)을 포함한다.
- <58> 자세히 살펴보면, 텅스텐플러그(43)는 제1 층간절연막(42)의 표면과 실질적으로 평탄한 표면을 갖고, 배리어 메탈(44)은 텅스텐플러그(43) 상에 단일층으로 형성된다.
- <59> 그리고, 접착층(47)은 제1 층간절연막(42)과 하부전극(45)간 틈을 채우는 부분의 두께와 하부전극(45)을 에워싸는 부분의 두께와 제1 층간절연막(42) 상의 두께가 서로 동일한 일체형이다.
- <60> 그리고, 하부전극(45), 접착층(47) 및 제2 층간절연막(48)은 각각 그 표면이 모두 실질적으로 평탄하고, 이와 같이 평탄한 구조물 상에 강유전체막(49)이 형성된다.

- <61> 도 4에서, 배리어 메탈(44)은 TiN, TiAlN, TaN, TaAlN, TiSiN, TaSiN, RuTiN, RuTaN, CrTiN, CrTaN, IrTiN 및 IrTaN로 이루어진 그룹중에서 선택된 하나 또는 적어도 두가지 이상이 적층된 것을 이용한다.
- <62> 그리고, 접착층(47)은 Al_2O_3 , ZrO_2 , HfO_2 , Bi_2O_3 , Ta_2O_5 및 TiO_2 로 이루어진 그룹중에서 선택된 하나를 이용한다.
- <63> 그리고, 하부전극(45)은 백금막(Pt), 이리듐막(Ir), 이리듐산화막(IrO_2), 루테튬막(Ru), 루테튬산화막(RuO_2), 레늄막(Re) 및 로듐막(Rh) 중에서 선택된 하나이거나 이들의 복합구조물을 이용한다. 예컨대, 복합구조물로는 이리듐막, 이리듐산화막 및 백금막의 순서로 적층된 적층막(Pt/ IrO_2 /Ir)일 수 있고, 최하부층인 이리듐막(Ir)은 하부전극 배리어층으로 작용한다.
- <64> 그리고, 강유전체막(49)은 통상의 SBT, PZT 및 BLT 중에서 선택된 하나이거나 불순물이 첨가되거나 조성 변화된 SBT, PZT, SBTN 및 BLT 중에서 선택된 하나를 이용한다.
- <65> 그리고, 상부전극(50)은 하부전극(45)과 동일한 물질을 선택하여 이용한다.
- <66> 한편, 텅스텐플러그(43)외에 폴리실리콘플러그도 가능하다.
- <67> 도 5a 내지 도 5e는 본 발명의 제2 실시예에 따른 강유전체 메모리 소자의 제조 방법을 도시한 공정 단면도이다.
- <68> 도 5a에 도시된 바와 같이, 트랜지스터 및 비트라인(도시 생략)이 형성된 반도체 기판(41) 상에 제1 층간절연막(42)을 증착한 후, 제1 층간절연막(42)을 식각하여 반도체 기판(41)의 일부를 노출시키는 스토리지노드콘택홀(도시 생략)을 형성한다.

<69> 다음에, 스토리지노드콘택홀을 포함한 제1 층간절연막(42) 상에 텅스텐막을 증착한 후 화학적기계적연마 또는 에치백을 통해 텅스텐막을 리세스하여 스토리지노드콘택홀에 완전히 매립되는 텅스텐플러그(23)를 형성한다. 이때, 제1 실시예와 달리, 텅스텐플러그(43)를 스토리지노드콘택홀에 완전히 매립시키기 위해서 화학적기계적연마를 이용하고, 에치백을 적용할 경우 에치백 시간을 조절하면 텅스텐플러그(43)의 표면과 제1 층간절연막(42)의 단차를 제거할 수 있다.

<70> 다음에, 실질적으로 단차가 없어 평탄한 텅스텐플러그(43) 및 제1 층간절연막(42) 상에 배리어메탈(44)을 증착하고, 배리어메탈(44) 상에 하부전극(45)을 형성하기 위한 도전막을 형성한다.

<71> 여기서, 배리어메탈(44)은 TiN, TiAlN, TaN, TaAlN, TiSiN, TaSiN, RuTiN, RuTaN, CrTiN, CrTaN, IrTiN 및 IrTaN로 이루어진 그룹중에서 선택된 하나 또는 적어도 두가지 이상이 적층된 것을 이용한다. 그리고, 하부전극(45)용 도전막은 화학기상증착법(CVD), 물리기상증착법(PVD), 원자층증착법(ALD) 및 플라즈마원자층증착법(PEALD) 중에서 선택된 하나의 증착법을 이용하여 증착되며, 이러한 하부전극용 도전막으로는 백금막(Pt), 이리듐막(Ir), 이리듐산화막(IrO_2), 루테튬막(Ru), 루테튬산화막(RuO_2), 레늄막(Re) 및 로듐막(Rh) 중에서 선택된 하나이거나 이들의 복합구조물을 이용한다. 이때, 복합구조물로는 이리듐막, 이리듐산화막 및 백금막의 순서로 적층된 적층막(Pt/ IrO_2 /Ir)일 수 있고, 최하부층인 이리듐막(Ir)은 하부전극 배리어층으로 작용한다.

<72> 다음에, 하부전극용 도전막 상에 하부전극 마스크(46)를 형성한 후, 하부전극 마스크(46)를 식각마스크로 하부전극용 도전막 및 배리어메탈(44)을 순차적으로 식각한다. 이러한 식각과정을 통해 하부전극(45)이 형성되고, 이 하부전극(45)과 텅스텐플러그(43)

사이에 배리어메탈(44)이 잔류하며, 아울러 배리어메탈(44)은 하부전극(45)과 제1 층간 절연막(42) 사이에 위치한다.

<73> 도 5b에 도시된 바와 같이, 하부전극 마스크(46)를 제거한 후, 배리어메탈(44)만을 선택적으로 식각하는 용액을 이용하여 배리어메탈(44)을 습식식각한다.

<74> 이때, 배리어메탈(44)의 습식식각은 하부전극(45)의 모서리부터 셀 안쪽으로 측면 식각(lateral etch)이 되도록 하고, 식각 시간 및 용액농도 등을 조절하여 식각되는 거리를 조절한다. 예컨대, 배리어메탈(44)만을 선택적으로 습식식각을 통해 용해시킬 수 있는 용액으로는 황산, 질산 및 인산으로 이루어진 그룹중에서 선택된 하나 이상의 용액을 사용하거나, 이들 용액에 과산화수소수(H_2O_2) 또는 암모니아수(NH_4OH)가 포함된 용액을 사용한다. 그리고, 배리어 메탈(44)을 선택적으로 용해시킴에 있어서, 수평 방향의 식각 너비를 조절하기 위한 식각 용액의 농도를 조절한다.

<75> 전술한 바와 같은 배리어메탈(44)의 습식식각후 하부전극(45)과 제1 층간절연막(42) 사이에는 틈('X')이 형성된다. 한편, 틈('X')의 너비는 배리어메탈(44) 증착후에 에치백 또는 화학적기계적연마를 실시하여 배리어메탈(44)의 표면 두께를 미리 조절함으로써 가능하다.

<76> 도 5c에 도시된 바와 같이, 하부전극(45)을 포함한 전면에 접착층(47)을 증착한다.

<77> 이때, 접착층(47)의 증착은, 틈('X')을 충분히 메울수 있는 우수한 단차피복성(step coverage)을 갖는 증착법을 이용하는데, 예를 들면 원자층증착법(ALD), 플라즈마 원자층증착법(PEALD) 및 화학기상증착법(CVD)을 이용한다. 그리고, 접착층(47)으로는

Al_2O_3 , ZrO_2 , HfO_2 , Bi_2O_3 , Ta_2O_5 및 TiO_2 로 이루어진 그룹중에서 선택된 하나를 이용한다.

<78> 전술한 바와 같이, 틸을 메울수 있도록 접착층(47)을 증착하면, 하부전극(45)과 제1 층간절연막(42)이 직접 접촉하는 부분이 없고, 종래와 같이 접착층 오픈에 의한 단차가 발생되지 않는다.

<79> 도 5d에 도시된 바와 같이, 접착층(47)을 포함한 전면에 제2 층간절연막(48)을 증착한 후, 하부전극(45)의 표면이 드러날때까지 화학적기계적연마 또는 에치백하여 평탄화한다. 즉, 제2 층간절연막(48)과 접착층(47)을 한번에 화학적기계적연마하거나, 또는 제2 층간절연막(48)을 화학적기계적연마한 후 드러난 접착층(47)을 에치백하여 하부전극(45)의 표면을 노출시킨다.

<80> 전술한 바와 같이, 화학적기계적연마 또는 에치백후 하부전극(45) 상의 접착층(47)도 제거되어 하부전극(45)의 표면이 노출되고, 평탄화후 접착층(47)과 제2 층간절연막(48)은 하부전극(45)을 에워싸는 형태가 되어 이웃한 셀의 하부전극간을 서로 고립시킨다.

<81> 또한, 접착층(47)은 하부전극(45)과 제2 층간절연막(48)간 접착층 역할도 수행한다.

<82> 도 5e에 도시된 바와 같이, 표면이 노출된 하부전극(45)을 포함한 전면에 강유전체막(49)을 형성한 후, 셀의 전영역에만 잔류하도록 패터닝하고, 강유전체막(49)상에 상부전극(50)을 형성하기 위한 도전막을 증착한다. 여기서, 강유전체막(49)은 화학기상증착법(CVD), 원자층증착법(ALD), 금속유기증착법(MOD) 및 스핀코팅법(Spin coating) 중에서

선택된 하나의 증착법을 이용하여 증착하며, 통상의 SBT, PZT 및 BLT 중에서 선택된 하나이거나 불순물이 첨가되거나 조성 변화된 SBT, PZT, SBTN 및 BLT 중에서 선택된 하나를 이용한다.

<83> 강유전체막(49) 형성후, 공지의 기술로서 강유전체막(49)을 결정화시키기 위한 열처리를 진행하며, 하부전극(45)이 매립된 구조상에 강유전체막(49)을 형성하여 상부전극(50) 형성전에 평탄화를 이루므로써 후속 공정과 더불어 평탄한 구조를 용이하게 할 수 있다.

<84> 그리고, 상부전극(50)을 형성하기 위한 도전막은 하부전극(45)으로 적용된 물질을 선택하여 사용할 수 있다.

<85> 다음에, 상부전극(50)용 도전막을 패터닝하여 상부전극(50)을 형성하고, 상부전극(50)을 포함한 전면에 제3 층간절연막(51)을 증착 및 평탄화한다. 다음에, 제3 층간절연막(51)을 식각하여 상부전극(50)의 일부를 노출시키는 콘택홀을 형성하고, 콘택홀을 통해 상부전극(50)과 연결되는 금속배선(52)을 형성하여 MTP 구조의 강유전체 메모리 소자를 완성한다.

<86> 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

【발명의 효과】

- <87> 상술한 바와 같은 본 발명은 접착층의 마스크 및 식각 공정, 배리어 메탈의 화학적 기계적연마 공정을 생략하므로써 공정을 단순화시킬 수 있고, 이에 따라 생산성 향상 및 비용 절감을 구현할 수 있는 효과가 있다.
- <88> 또한, 접착층 오픈 공정을 생략하므로써 하부전극과 접착층간 단차를 제거하여 단차에 따른 소자의 불량을 현저히 감소시킬 수 있는 효과가 있다.
- <89> 또한, 하부전극과 층간절연막 사이의 접촉 부위를 제거하므로써 접착력을 강화시키고, 이로써 비트불량을 감소시킬 수 있는 효과가 있다.
- <90> 또한, 접착층을 하부전극 패터닝후에 증착하므로써 하부전극과 층간절연막간의 계면 확산 배리어를 자동으로 생성시킬 수 있고, 이에 따라 배리어메탈이 산화되는 것을 방지하여 소자의 전기적 특성을 향상시킬 수 있는 효과가 있다.

【특허청구범위】

【청구항 1】

트랜지스터가 형성된 반도체 기판;

상기 반도체 기판 상의 제1 층간절연막;

상기 제1 층간절연막을 관통하여 상기 트랜지스터의 소스/드레인영역과 연결되는 스토리지노드 콘택;

상기 스토리지노드 콘택과 상기 제1 층간절연막에 동시에 접하는 배리어막;

상기 제1 층간절연막과 격리되는 틈을 갖고 상기 배리어막 상에 형성된 하부전극;

상기 틈을 채우면서 상기 하부전극의 측면을 에워싸는 상기 제1 층간절연막상의 접착층;

상기 하부전극의 표면을 노출시키면서 상기 접착층을 에워싸는 제2 층간절연막;

상기 제2 층간절연막을 포함한 상기 접착층 상에 형성된 강유전체막; 및

상기 강유전체막 상의 상부전극

을 포함하는 강유전체 메모리 소자.

【청구항 2】

제1 항에 있어서,



상기 스토리지노드 콘택은 상기 제1 층간절연막의 표면과 실질적으로 평탄한 표면을 갖고, 상기 배리어막은 상기 스토리지노드 콘택 상에 단일층으로 형성된 것을 특징으로 하는 강유전체 메모리 소자.

【청구항 3】

제1 항에 있어서,

상기 스토리지노드 콘택은 상기 제1 층간절연막의 표면과 단차를 갖고, 상기 배리어막은 상기 단차부분에 매립되어 상기 제1 층간절연막의 표면과 실질적으로 평탄한 표면을 갖는 제1 배리어막과 상기 제1 층간절연막과 접하는 상기 제1 배리어막상의 제2 배리어막으로 이루어짐을 특징으로 하는 강유전체 메모리 소자.

【청구항 4】

제1 항에 있어서,

상기 접착층은,

상기 틈을 채우는 부분의 두께와 상기 하부전극을 에워싸는 부분의 두께와 상기 제1 층간절연막 상의 두께가 서로 동일한 일체형인 것을 특징으로 하는 강유전체 메모리 소자.

【청구항 5】

제1 항에 있어서,

상기 스토리지노드 콘택은 텅스텐플러그 또는 폴리실리콘플러그인 것을 특징으로 하는 강유전체 메모리 소자.

【청구항 6】

제1 항에 있어서,

상기 하부전극은 상기 배리어막에 비해 상대적으로 넓은 면적을 갖는 것을 특징으로 하는 강유전체 메모리 소자.

【청구항 7】

적어도 제1 층간절연막이 형성된 반도체 기판의 상기 제1 층간절연막을 관통하여 상기 반도체 기판과 연결되는 스토리지노드콘택을 형성하는 단계;

상기 제1 층간절연막상에 상기 스토리지노드콘택과 연결되는 배리어막과 하부전극의 적층 패턴을 형성하는 단계;

상기 배리어막의 측면을 선택적으로 제거하여 상기 하부전극과 상기 제1 층간절연막 사이에 틈을 형성하는 단계;

상기 틈을 채우면서 상기 하부전극의 측면을 에워싸는 접착층과 상기 접착층을 에워싸면서 상기 하부전극의 표면을 노출시키는 제2 층간절연막을 동시에 형성하는 단계;

상기 하부전극을 포함한 상기 제2 층간절연막 상에 강유전체막을 형성하는 단계;

및

상기 강유전체막상에 상부전극을 형성하는 단계

를 포함하는 강유전체 메모리 소자의 제조 방법.

【청구항 8】

제7 항에 있어서,

상기 스토리지노드콘택 및 상기 배리어막과 하부전극의 적층 패턴을 형성하는 단계는,

상기 제1 층간절연막을 식각하여 상기 반도체 기판의 일부를 노출시키는 스토리지노드콘택홀을 형성하는 단계;

상기 스토리지노드콘택홀을 포함한 상기 제1 층간절연막 상에 플러그막을 증착하는 단계;

상기 플러그막을 리세스 에치백하여 상기 스토리지노드콘택홀 내에 일부 매립되는 스토리지노드콘택플러그를 형성하는 단계;

상기 스토리지노드콘택플러그를 포함한 상기 제1 층간절연막 상에 제1 배리어막을 증착하는 단계;

상기 제1 배리어막을 화학적기계적연마하여 평탄화시키는 단계;

상기 제1 배리어막을 포함한 상기 제1 층간절연막 상에 제2 배리어막을 증착하는 단계;

상기 제2 배리어막 상에 상기 하부전극을 형성하기 위한 도전막을 형성하는 단계;

상기 도전막상에 하부전극을 정의하는 마스크를 형성하는 단계; 및

상기 마스크를 식각마스크로 상기 도전막과 상기 제2 배리어막을 식각하여 상기 배리어막과 상기 하부전극의 적층 패턴을 형성하는 단계

를 포함하는 것을 특징으로 하는 강유전체 메모리 소자의 제조 방법.

【청구항 9】

제7 항에 있어서,

상기 스토리지노드콘택 및 상기 배리어막과 하부전극의 적층 패턴을 형성하는 단계는,

상기 제1 층간절연막을 식각하여 상기 반도체 기판의 일부를 노출시키는 스토리지노드콘택홀을 형성하는 단계;

상기 스토리지노드콘택홀을 포함한 상기 제1 층간절연막 상에 플러그막을 증착하는 단계;

상기 플러그막을 평탄화하여 상기 스토리지노드콘택홀 내에 완전히 매립되는 스토리지노드콘택플러그를 형성하는 단계;

상기 스토리지노드콘택플러그 및 상기 제1 층간절연막 상에 배리어막을 증착하는 단계;

상기 배리어막 상에 상기 하부전극을 형성하기 위한 도전막을 형성하는 단계;

상기 도전막상에 하부전극을 정의하는 마스크를 형성하는 단계; 및

상기 마스크를 식각마스크로 상기 도전막과 상기 배리어막을 식각하여 상기 배리어막과 상기 하부전극의 적층 패턴을 형성하는 단계



를 포함하는 것을 특징으로 하는 강유전체 메모리 소자의 제조 방법.

【청구항 10】

제8 항 또는 제9 항에 있어서,

상기 도전막을 형성하기 전에, 상기 배리어막 또는 상기 제2 배리어막의 에치백 또는 화학적기계적연마를 추가로 실시하는 것을 특징으로 하는 강유전체 메모리 소자의 제조 방법.

【청구항 11】

제7 항에 있어서,

상기 하부전극과 상기 제1 층간절연막 사이에 틈을 형성하는 단계는,

상기 배리어막만을 선택적으로 용해시킬 수 있는 용액을 이용한 습식식각으로 이루어짐을 특징으로 하는 강유전체 메모리 소자의 제조 방법.

【청구항 12】

제11 항에 있어서,

상기 용액은, 황산, 질산 및 인산으로 이루어진 그룹중에서 선택된 하나 이상의 용액을 사용하거나, 이 용액들에 과산화수소수(H_2O_2) 또는 암모니아수(NH_4OH)가 포함된 용액을 사용하는 것을 특징으로 하는 강유전체 메모리 소자의 제조 방법.



【청구항 13】

제7 항에 있어서,

상기 접착층과 제2 층간절연막을 동시에 형성하는 단계는,

상기 틈을 채우는 두께로 상기 하부전극상에 접착층을 형성하는 단계;

상기 접착층 상에 상기 제2 층간절연막을 형성하는 단계; 및

상기 하부전극의 표면이 드러날때까지 상기 제2 층간절연막과 상기 접착층을 평탄화시키는 단계

를 포함하는 것을 특징으로 하는 강유전체 메모리 소자의 제조 방법.

【청구항 14】

제13 항에 있어서,

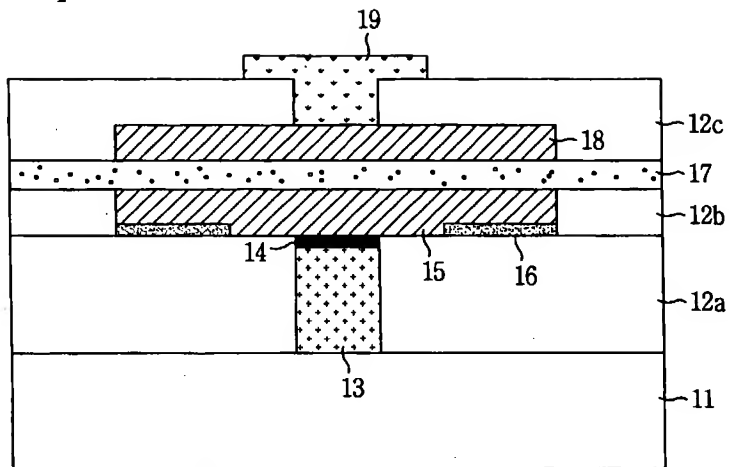
상기 제2 층간절연막과 상기 접착층을 평탄화시키는 단계는,

상기 제2 층간절연막과 상기 접착층을 한번에 화학적기계적연마하거나, 또는 상기 제2 층간절연막을 화학적기계적연마한 후 드러난 상기 접착층을 에치백하는 것을 특징으로 하는 강유전체 메모리 소자의 제조 방법.

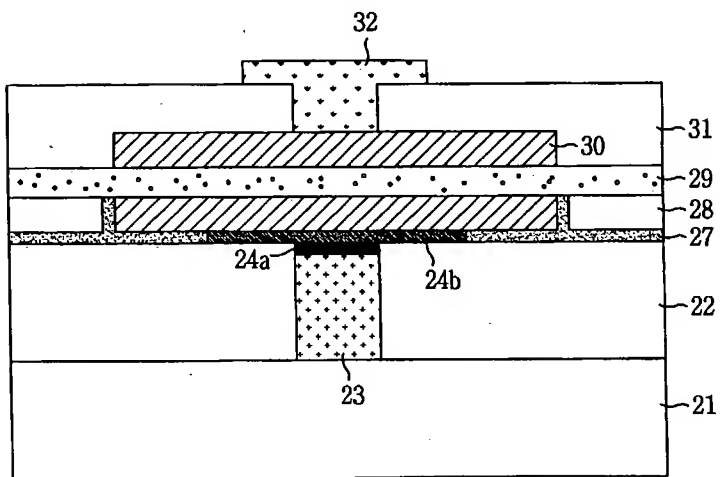


【도면】

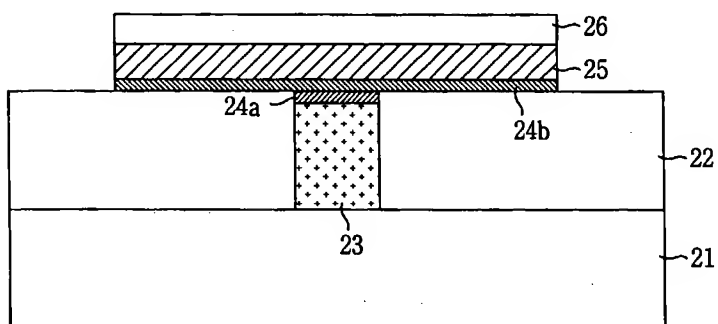
【도 1】



【도 2】

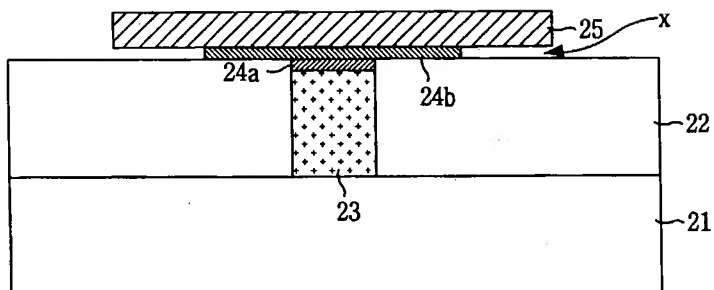


【도 3a】

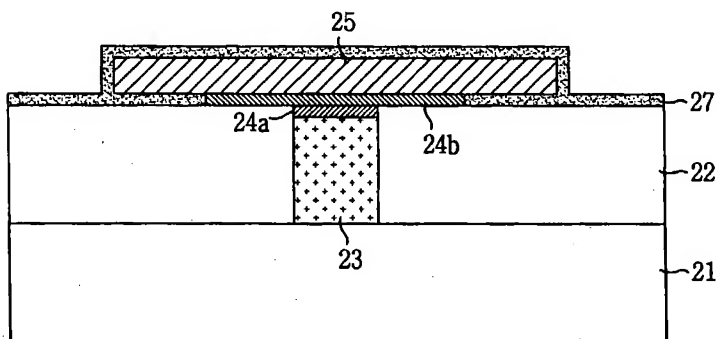




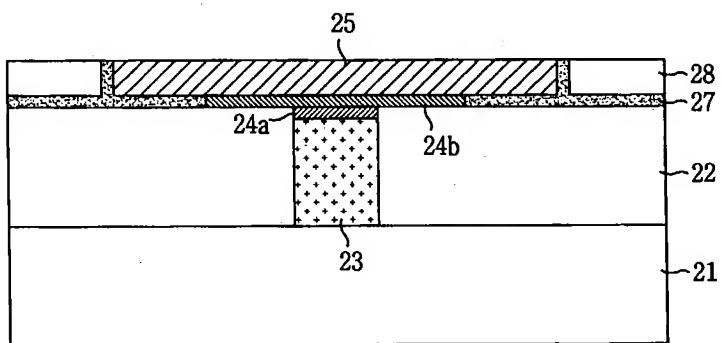
【도 3b】



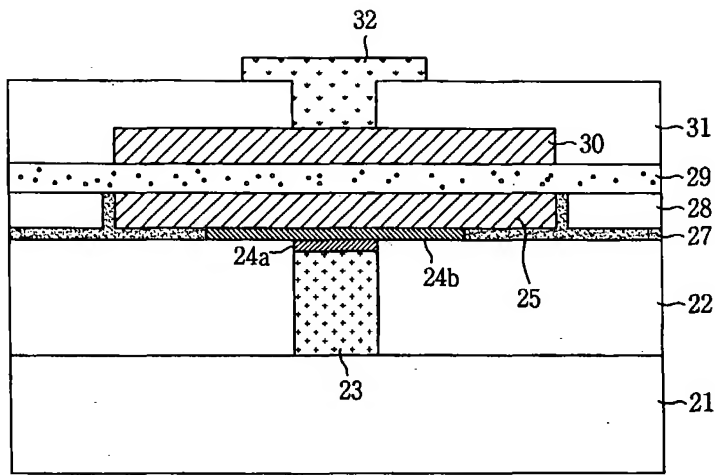
【도 3c】



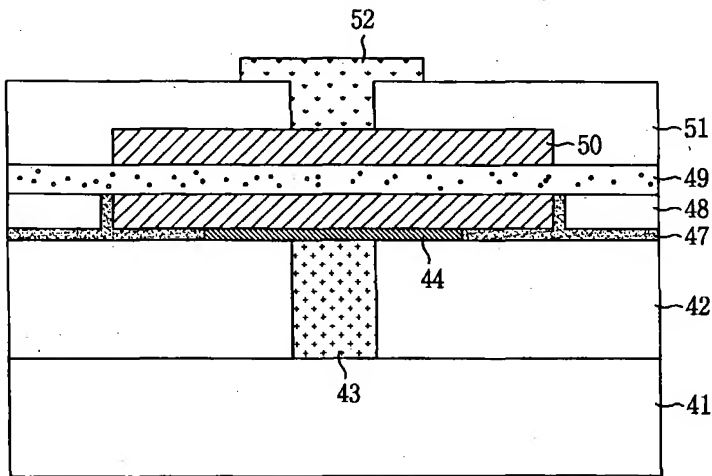
【도 3d】



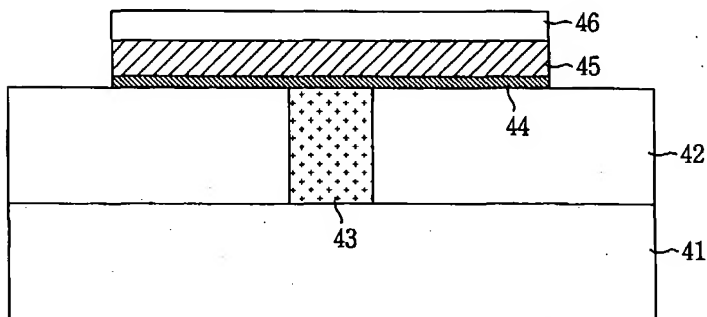
【도 3e】



【도 4】



【도 5a】

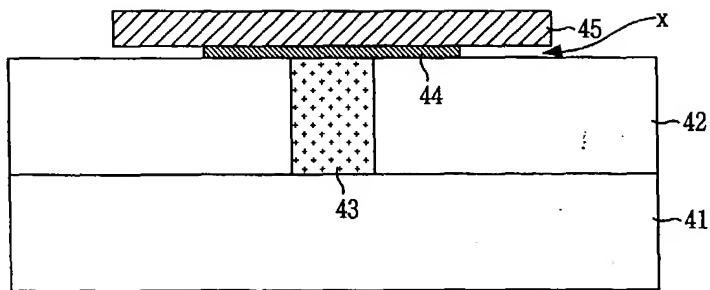




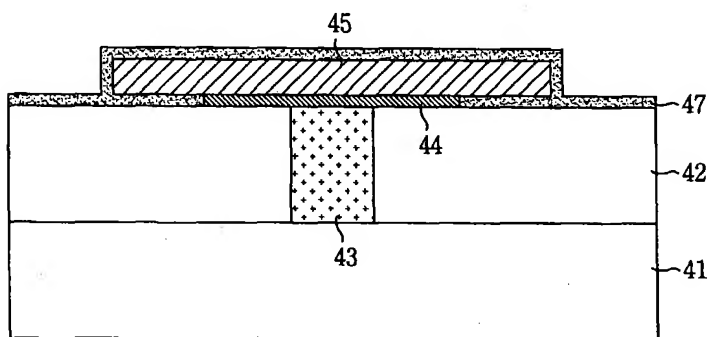
1020020086264

출력 일자: 2003/5/15

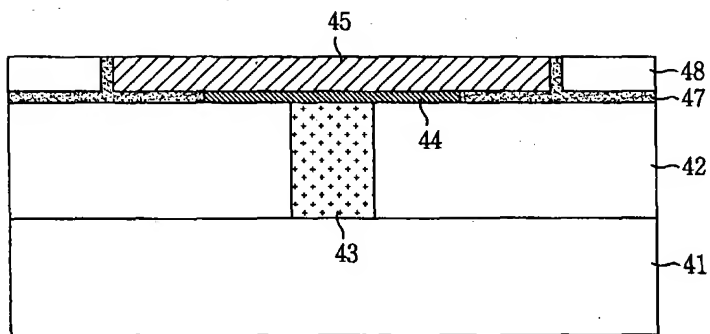
【도 5b】



【도 5c】



【도 5d】



【도 5e】

